

Praktikum Elektronik für FB Informatik

Versuch Digitale Grundsaltungen

1 Allgemeine Hinweise

Die Aufgaben zur Versuchsvorbereitung sind vor dem Versuchstermin von jedem Praktikumssteilnehmer **als Hausaufgaben schriftlich** auszuführen. Sie sind Bestandteil des Protokolls und werden in die Bewertung des Versuches einbezogen. Ebenso **zur Vorbereitung** des Praktikums gehört, sich über **alle** Versuchsaufgaben zu informieren und diese soweit das möglich ist theoretisch vorzubereiten (Formeln, Diagramme, Tabellen, Literaturstudium).

Jede Praktikumsgruppe fertigt ein Protokoll an, welches innerhalb von 2 Wochen abzugeben ist. Die im Versuch erforderlichen Diagramme sind auf Millimeterpapier zu zeichnen oder computergestützt anzufertigen.

Bei der Versuchsdurchführung sind die Messschaltungen mit Hilfe der am Versuchsplatz vorliegenden Versuchsanordnung aufzubauen. Dazu werden die Bauelemente durch Verbindungskabel bzw. -brücken mit dem Versuchsaufbau verbunden oder gebrückt und die Messgeräte angeschlossen.

Alle zu diesem Versuch notwendigen Verbindungskabel und -brücken sowie sämtliche Adapter sind in dem zum Versuch gehörenden Zubehörkasten vorhanden.

Die Frontplatte des Versuchsaufbaus (Digital-Board) ist in der Anlage dargestellt.

Beachten Sie:

- Auf- und Abbau der Messschaltungen und alle Veränderungen an der Messschaltung dürfen nur im spannungslosen Zustand vorgenommen werden (Netzschalter Digital-Board).
- Die Polarität der unsymmetrischen (einseitig geerdeten) elektronischen Messgeräte ist zu beachten.

Die Berechnungen, Erläuterungen und das Ausfüllen der Diagramme sollte möglichst direkt in der Anleitung erfolgen. Für die dazu notwendigen Ausführungen ist in den Textabschnitten zu den Vorbereitungs- bzw. Messaufgaben Platz vorhanden (als Tabelle oder eingerahmt).

Die Anschlussbelegungen und wichtige Kennwerte der verwendeten Schaltkreise sind in der Anlage zusammengestellt.

Ebenfalls in der Anlage finden Sie die Schaltkreis-Belegungen der Wechselfassungen des Digital-Boards, die Sie bei Versuchsbeginn vorfinden.

2 Vorbereitungsaufgaben

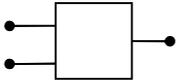
2.1. Geben Sie für die folgenden Grundgatter jeweils das Schaltsymbol (Ergänzung), die logische Gleichung und die Wahrheitstabelle an:

INVERTER $Y =$



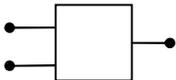
X	Y

AND $Y =$



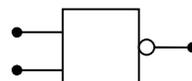
X ₁	X ₂	Y

OR $Y =$



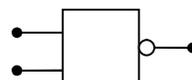
X ₁	X ₂	Y

NAND $Y =$



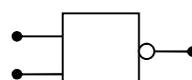
X ₁	X ₂	Y

NOR $Y =$



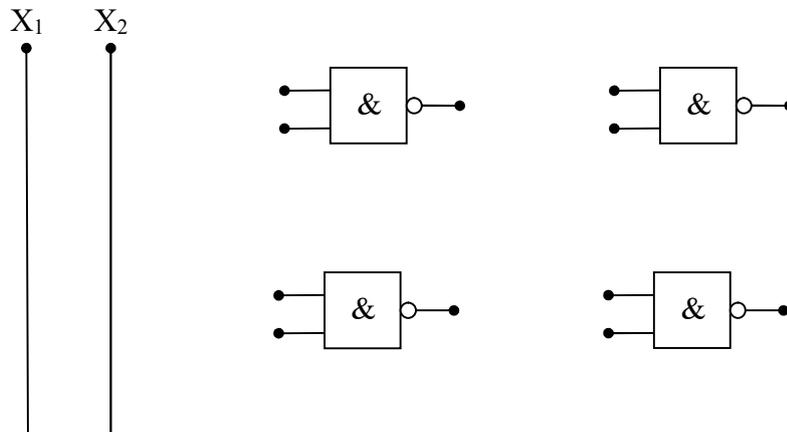
X ₁	X ₂	Y

EXCLUSIV-OR $Y =$

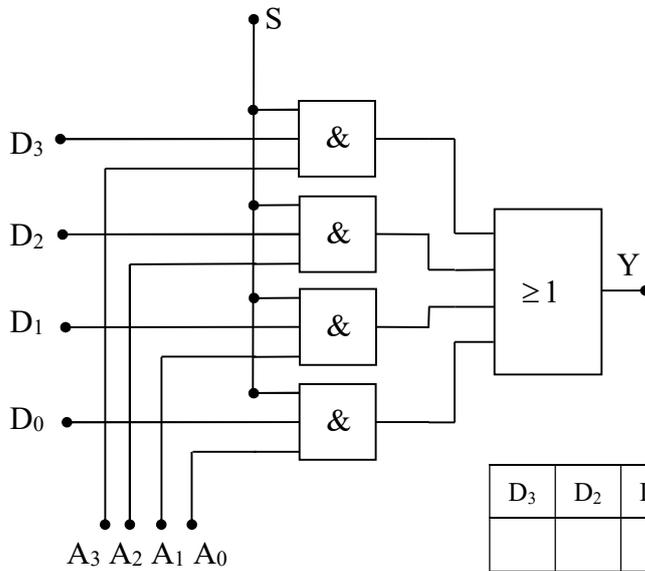


X ₁	X ₂	Y

2.2 Geben Sie eine Realisierung der EXKLUSIV-OR-Schaltung unter ausschließlicher Verwendung von NAND-Gattern an.

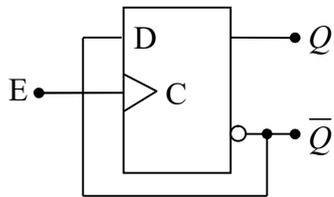


2.3 Geben Sie die Schaltbelegungstabelle und die Bezeichnung für die dargestellte logische Schaltung an.

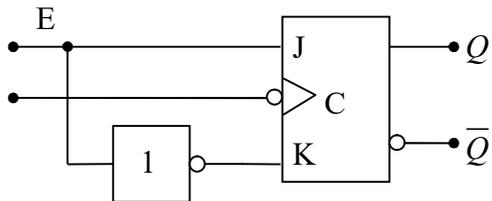


D ₃	D ₂	D ₁	D ₀	S	A ₃	A ₂	A ₁	A ₀	Y

2.4 Geben Sie die Wahrheitstabellen folgender Schaltungen an.



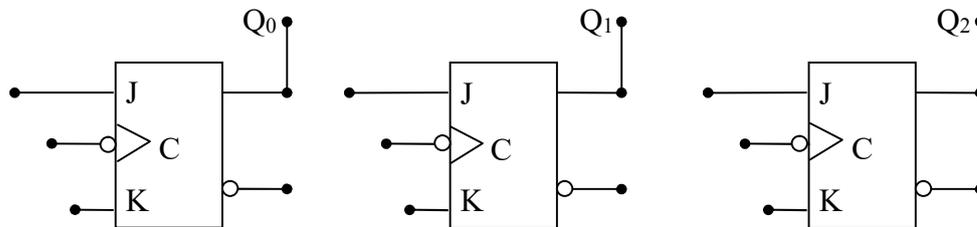
E	D	Q	\bar{Q}
x	1	0	1



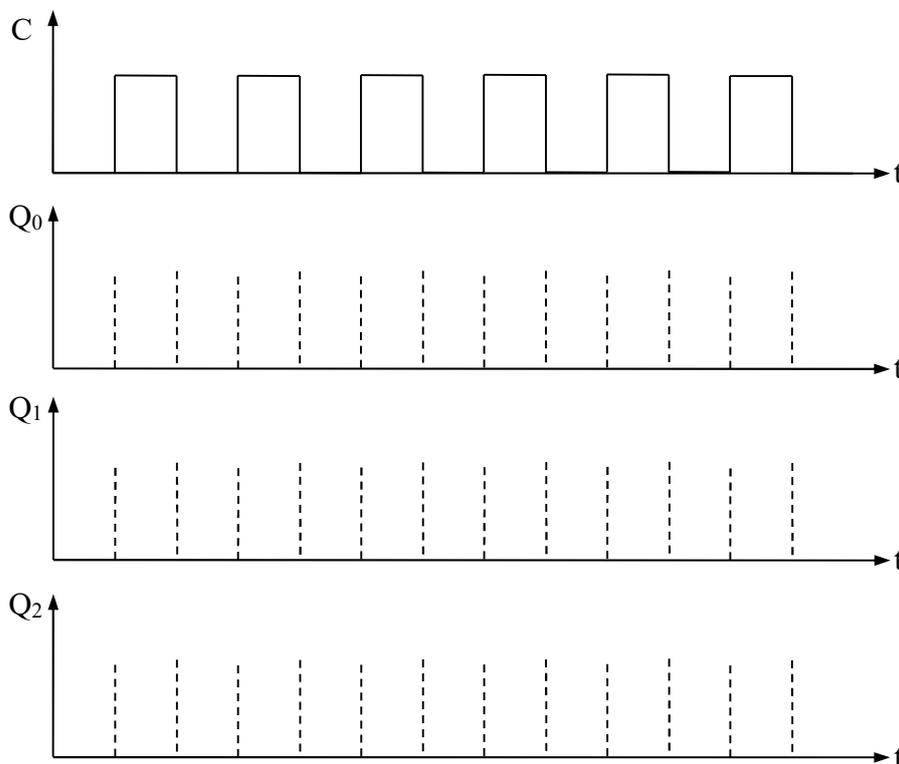
E	C	Q	\bar{Q}
0	x	Q_{n-1}	\bar{Q}_{n-1}
1			
0			
1			

2.5 Ergänzen Sie die angegebene Schaltung durch entsprechende Verbindungen und Rückführungen zu einem synchronen Zähler und geben Sie die dazugehörigen Pulsdiagramme an.

Anfangszustand: $Q_0 = Q_1 = Q_2 = 0$



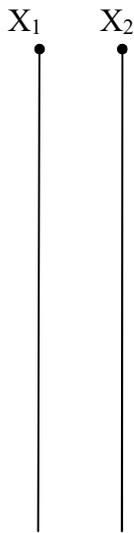
Takt



3 Versuchsaufgaben

- 3.1 Realisieren Sie die logischen Funktionen Negation, NOR, OR und AND durch eine entsprechende Zusammenschaltung des in Wechselfassung 1 vorhandenen Vierfach - CMOS - NAND - Gatters (*Anschlussbelegung siehe Anlage*) und vergleichen Sie das Ergebnis mit den Wahrheitstabellen in der Aufgabe 2.1.
- 3.2 Realisieren Sie eine Antivalenzschaltung unter Verwendung von NAND – Gattern (*NAND – Gatter: Wechselfassung 1*) und überprüfen Sie deren Funktionen.

NAND – Realisierung



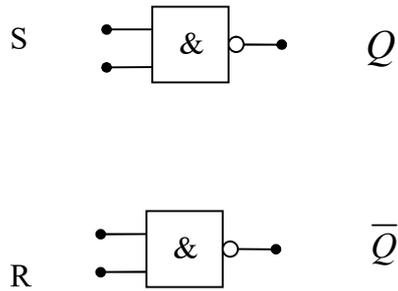
Antivalenzschaltung (= EXCLUSIV-OR)



- 3.3 Erweitern Sie die Antivalenzschaltung von Aufgabe 3.2 zu einem 1–Bit–Volladder. Tragen Sie die gemessenen logischen Zusammenhänge in der Wertetabelle ein.

X_1	X_2	S	Ü

3.5 Realisieren Sie aus zwei NAND-Gattern ein RS-Flipflop. Ergänzen Sie dazu die angegebene Schaltung und tragen das gemessene Verhalten in die Wertetabelle ein.

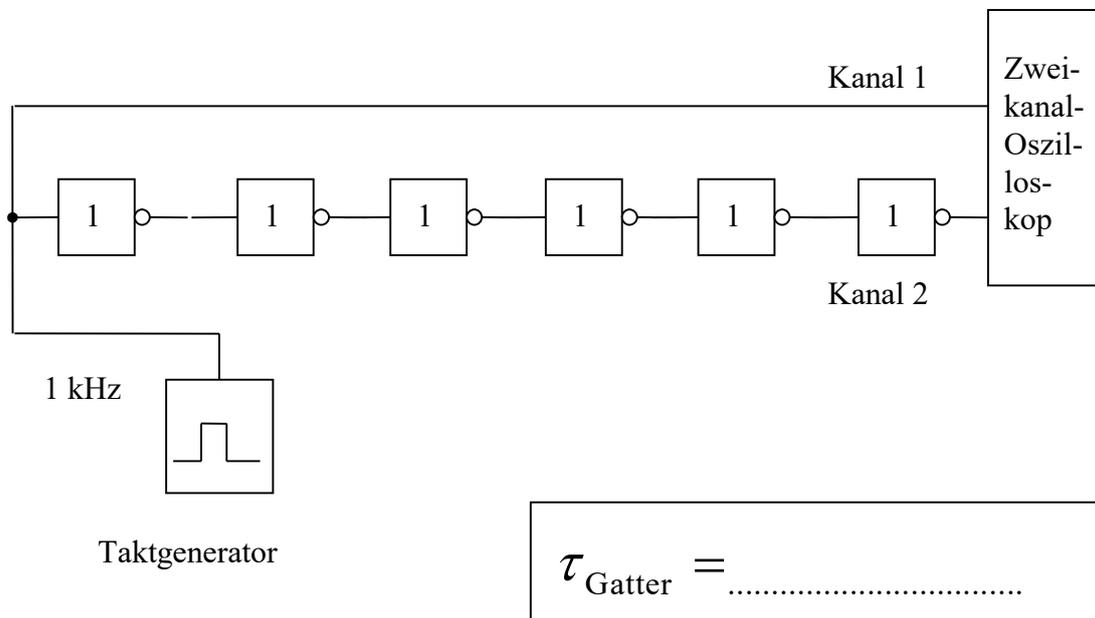


S	R	Q_n	\bar{Q}_n
0	0		
0	1		
1	0		
1	1		

3.6 Gatterverzögerungszeit

Die messtechnische Bestimmung der mittleren Gatterverzögerungszeit t_D soll durch in Reihe geschaltete Inverter (*Fassung 7*) ermittelt werden.

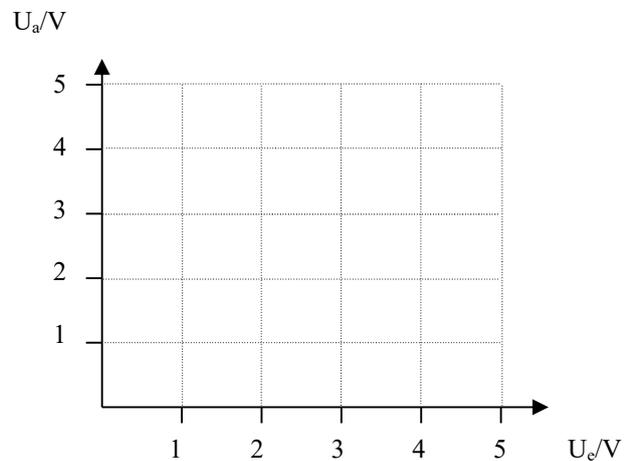
Schalten Sie sechs Inverter in Reihe und bestimmen Sie die mittlere Gatterlaufzeit τ_{Gatter} eines Inverters.



3.7 Spannungs-Übertragungs-Kennlinie

Zeichnen Sie das Verhalten der Ausgangsspannung eines Invertergatters als Funktion der Eingangsspannung in das Diagramm ein.

U_e/V	U_a/V
0	
5	



Hinweis: Verwenden Sie für U_e die analog regelbare Gleichspannung “ $G = 0V \dots 5V$ ”. Finden Sie mittels Messung mit den Multimetern zunächst grob den Bereich des Überganges zwischen den beiden logischen Zuständen des Gatters und sehen Sie dann dort mehr Messpunkte vor, als im übrigen Teil der Kennlinie.

3.8 Statische und dynamische Untersuchungen an D-Flipflops

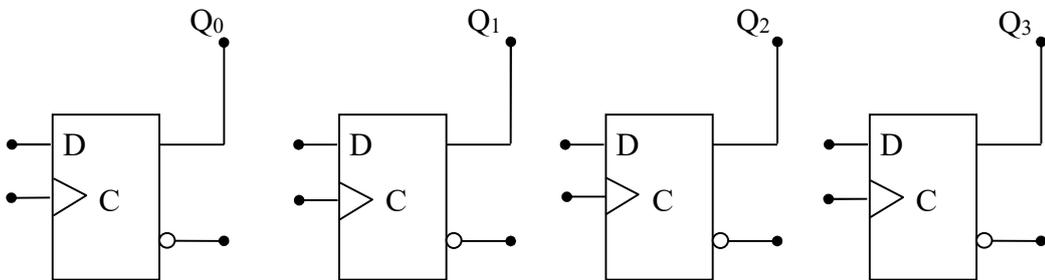
Überprüfen Sie die Funktionsweise für folgende relevante Eingangssignalbelegungen durch die Bestimmung der Ausgangspegel nach der aktiven Taktflanke.

Hinweis: Realisieren Sie die Taktsteuerung manuell mit dem Taster

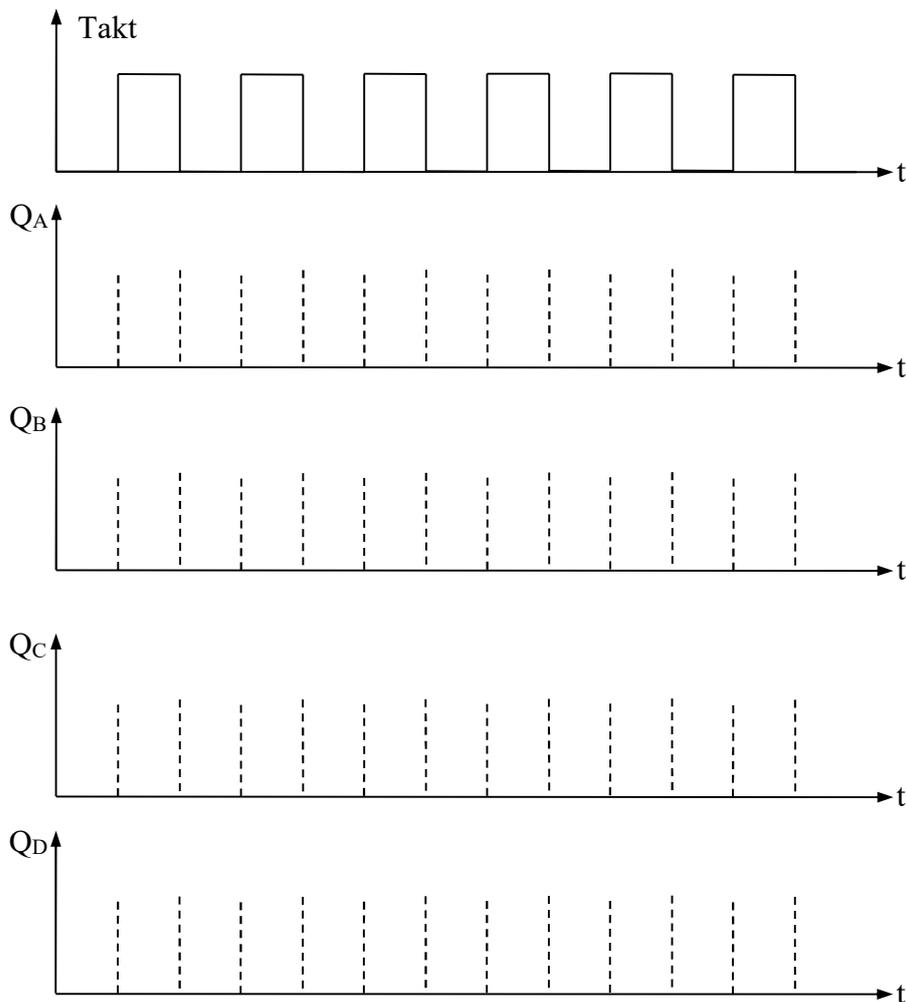
\bar{S}	\bar{R}	D	Q	\bar{Q}
0	1	x		
1	1	0		
1	1	1		
1	1	0		
1	0	x		

3.9 Asynchrone Zähler

Schalten Sie die nachstehend skizzierten D-Flipflops zu einem 4-stufigen Asynchrone Zähler (ripple counter) zusammen.

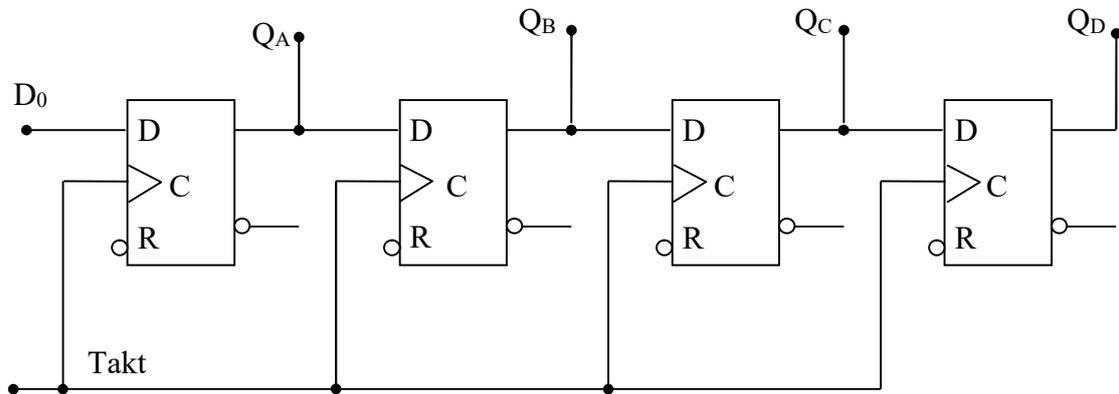


Kontrollieren Sie die Ausgangssignale $Q_0 \dots Q_3$ mit den vorhandenen LEDs. Verwenden Sie den Grundzustand $Q_0 = Q_1 = Q_2 = Q_3 = 0$. Wählen Sie $f_C = 0,1$ Hz, damit sich der Zähler optisch gut kontrollieren und das nachstehende Diagramm ergänzen lässt.



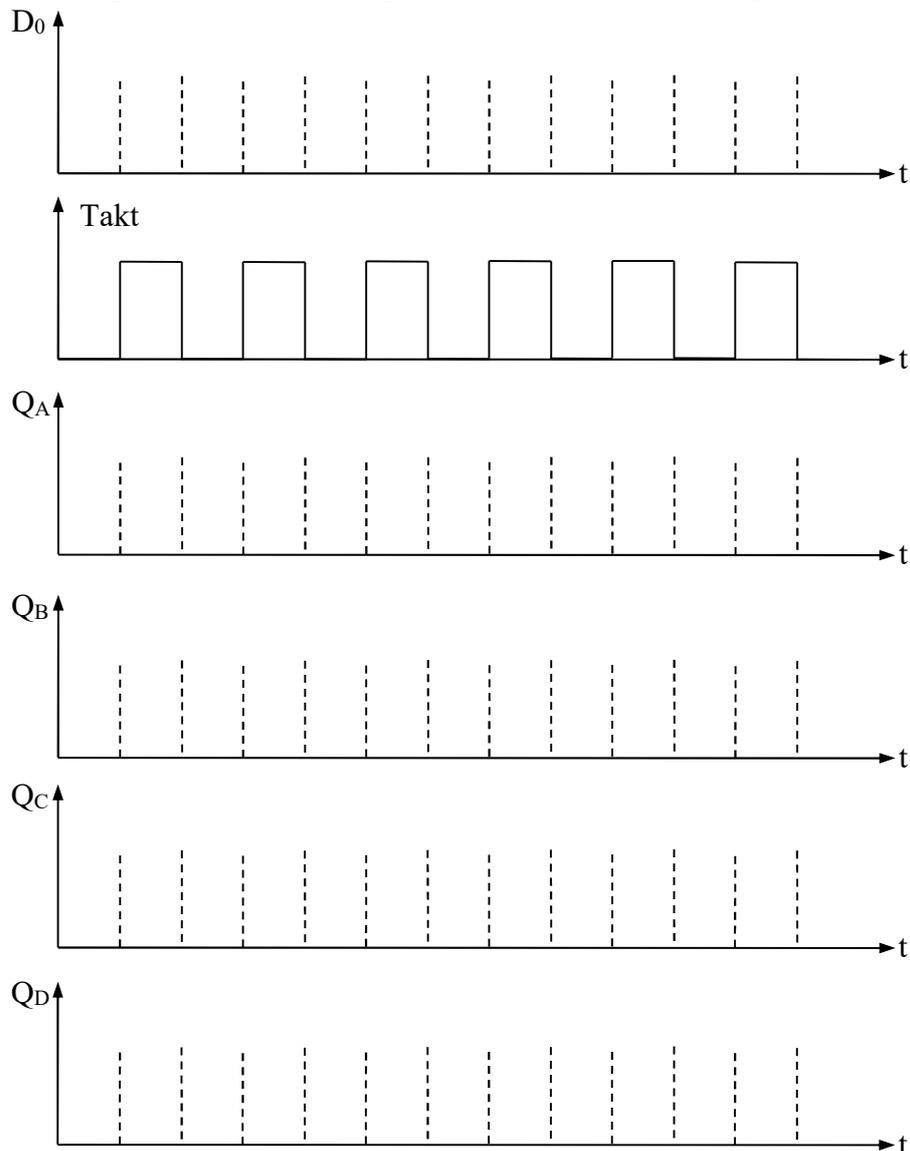
3.10 Schieberegister

Realisieren Sie unter Verwendung von Zwei D – Flipflop – Bausteinen das als Prinzipschaltbild dargestellte Schieberegister mit seriellem Eingang.



Verbinden Sie die Ausgänge $Q_A \dots Q_D$ mit je einer LED. Takten Sie das Register manuell mit dem Taster und beobachten Sie dabei die Ausgänge.

Setzen Sie mittels der Rücksetzeingänge den Inhalt des Registers auf Null. Legen Sie vor dem ersten Takt an den Eingang D_0 ein H-Signal (Impuls mit Taster). Erklären Sie die Wirkungsweise der Schaltung mit den nachstehenden Diagrammen.



4 Anhang

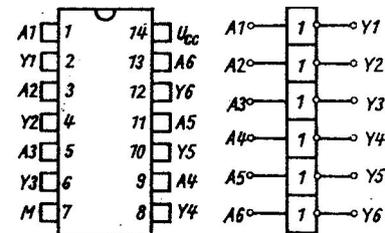
(A) Die Wechselfassungen des Digital-Boards sind mit folgenden Schaltkreisen bestückt:

Fassung	Schaltkreis	Erläuterung
1	74 HCT 00	4 NAND-Gatter
2	74 HCT 00	
3	D 174	2 D-Flipflops
4	D 174	
5	D 174	
6	D 174	
7	DL 004	6 Inverter
8	frei	
9	frei	
12	D 174	2 D-Flipflops

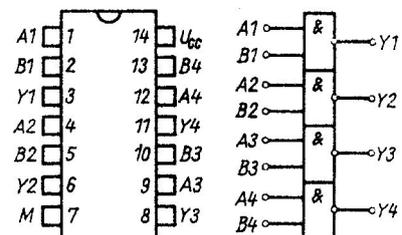
(B) Anschlussbelegungen der verwendeten Bausteine

Funktion	Familie	
	TTL	CMOS

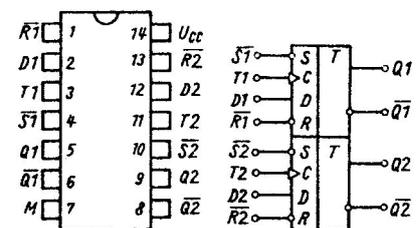
6 INVERTER	SN 7404 D 104 DL 004	74HCT04
------------	----------------------------	---------



4 NAND	SN 7400 D100 DL 000	74HCT00
--------	---------------------------	---------



2 D-FF	SN 7474 D 174 DL 074	74HCT74
--------	----------------------------	---------



(C) Allgemeine Informationen zu TTL-Bausteinen

Alle Hersteller kennzeichnen die einzelnen Familien der TTL-Serie einheitlich wie folgt:

Standard-TTL	74 XX
Advanced-Low-Power-Schottky-TTL	74 ALS XX
Advanced-Schottky-TTL	74 AS XX
Fast-Schottky-TTL	74 F XX
High-Power-TTL	74 H XX
Low-Power-TTL	74 L XX
Low-Power-Schottky-TTL	74 LS XX
Schottky-TTL	74 S XX

Gemeinsame elektrische Daten der TTL-Serie

		Std	ALS	AS	F	H	L	LS	S	
Betriebsspannung	U_B min	4.75	4.75	4.75	4.75	4.75	4.75	4.75	4.75	V
	typ	5.0	5.0	5.0	5.0	5.0	5.0	5.0	5.0	V
	max	5.25	5.25	5.25	5.25	5.25	5.25	5.25	5.25	V
Eingangsspannung	U_{iL} max	0.8	0.8	0.8	0.8	0.8	0.8	0.8	0.8	V
	U_{iH} min	2.0	2.0	2.0	2.0	2.0	2.0	2.0	2.0	V
Eingangsstrom	I_{iL} max	-1.6	-0.2	-1.0	-1.2	-2.0	-0.18	-0.36	-2.0	mA
	I_{iH} min	40	20	20	40	50	10	20	50	μ A
Ausgangsspannung	U_{OL} max ¹⁾	0.4	0.35	0.35	0.35	0.2	0.2	0.5	0.5	V
	U_{OH} min	2.4	3.2	3.2	3.4	3.4	3.4	2.7	2.7	V
Ausgangsstrom ²⁾	I_{OL} max	16	8 ³⁾	20	20	20	4	8 ³⁾	20	mA
Leistungsaufnahme/Gatter	P typ	10	1	22	4	22.5	1	2	20	mW
Laufzeit/Gatter	t_p typ	10	4	1.5	2	6	33	9	3	ns

¹⁾ bei I_{OL} max

²⁾ bei U_{OL} max

³⁾ bei gepufferten Ausgängen 40mA

Ausgangsbelaubarkeit (Fan Out)

Die Ausgangsbelaubarkeit gibt an, von wieviel Lasteinheiten (N) der Baustein bei L-Potential einen Strom zu ziehen vermag, bzw. an wieviel Lasteinheiten er bei H-Potential einen Strom liefern kann.

Z.B. ist jeder Standard-Ausgang imstande, 10 Standard-Eingänge zu steuern. Ein Low-Power-Baustein kann dagegen nur einen einzigen Schottky-Eingang treiben. Nachstehende Tabelle gibt eine Übersicht für die übrigen Familien:

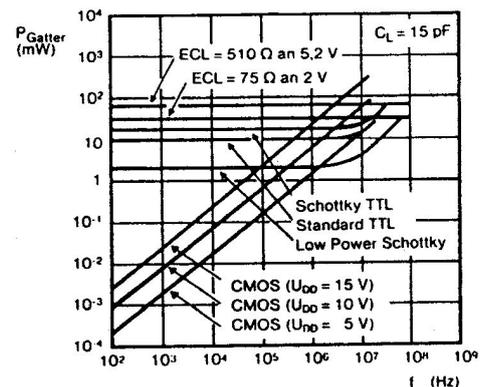
TTL-Treiber	TTL-Last							
	Std	ALS	AS	F	H	L	LS	S
Std	10	20	8	20	8	40	20	8
ALS	10	20	10	20	4	40	20	10
AS	10	50	10	50	10	100	50	10
F	12	25	10	25	10	48	25	10
H	12	25	10	25	10	50	25	10
L	2	10	1	10	1	20	10	1
LS	5	20	8	50	4	40	50	10
S	12	50	10	50	10	100	50	10

Bei der Anordnung der Familien bezüglich ihrer Leistungsaufnahme ergibt sich folgende Reihenfolge:

1	H	22.5 mW/Gatter
2	AS	22 mW/Gatter
3	S	20 mW/Gatter
4	Std	10 mW/Gatter
5	F	4 mW/Gatter
6	LS	2 mW/Gatter
7	L	1 mW/Gatter
8	ALS	1 mW/Gatter

gilt für unbelastete Ausgänge bei 1 kHz und einem Tastverhältnis von 50%

Leistungsverbrauch



Typischer Leistungsverbrauch je Gatter in Abhängigkeit

(D) Übersicht über die gebräuchlichsten Schaltkreisfamilien

Familie	Typ	Präfix	Betriebs- spannung	Verlust- leistung P_V	Gatter- laufzeit t_{pd}	Laufzeit- Leistungs- Produkt $P_V \cdot t_{pd}$
TTL						
standard	7400	SN, MC, DM, \square	5 V	10 mW	10 ns	100 pJ
LP Schottky	74 LS 00	SN, MC, DM, \square	5 V	2 mW	10 ns	20 pJ
Schottky	74 S 00	SN, DM, \square	5 V	19 mW	3 ns	57 pJ
LP advanced	74 ALS 00	SN, MC, DM	5 V	1 mW	4 ns	4 pJ
fast	74 F 00	F, MC, \square	5 V	4 mW	3 ns	12 pJ
advanced	74 AS 00	SN	5 V	10 mW	1,5 ns	15 pJ
ECL						
standard	10.100	MC, F, \square	-5,2 V	35 mW ¹	2 ns	70 pJ
	10.200	MC	-5,2 V	35 mW ¹	1,5 ns	53 pJ
high speed	1.600	MC	-5,2 V	70 mW ¹	1 ns	70 pJ
	10 H 100	MC	-5,2 V	35 mW ¹	1 ns	35 pJ
	100.100	F, \square	-4,5 V	50 mW ¹	0,75 ns	38 pJ
	100 E 100	M	-4,5 V	30 mW ¹	0,6 ns	18 pJ
CMOS						
standard	4.000	CD, TC	5 V	0,3 $\frac{\mu W}{kHz}$	90 ns	0,03 $\frac{pJ}{kHz}$
	14.000			MC		
	74 C 00	MM	15 V	3 $\frac{\mu W}{kHz}$	30 ns	0,09 $\frac{pJ}{kHz}$
high speed	74 HC 00	{MC, MM, SP SN, TC, PC, CD}	5 V	0,5 $\frac{\mu W}{kHz}$	10 ns	0,005 $\frac{pJ}{kHz}$
	74 HCT 00					
advanced	74 AC 00	{SN, PC, F SN, F}	5 V	0,8 $\frac{\mu W}{kHz}$	3 ns	0,002 $\frac{pJ}{kHz}$
	74 ACT 00					

¹ inklusive ein Emitterwiderstand mit 50 Ω nach $V_{TT} = -2$ V, der im Mittel 10 mW beiträgt

Abb. 9.46 Übersicht über die gebräuchlichsten Familien in TTL-, ECL- und CMOS-Technik. LP bedeutet low power

Am	AMD	DM, MM	National
F	Fairchild	CD	RCA
HD	Hitachi	\square	Signetics
MC	Motorola	SN	Texas Instr.
PC	Valvo	SP	SPI
M	SGS	TC	Toshiba

Abb. 9.47 Präfixe der verschiedenen Hersteller

(E) CMOS-Bausteine

Die gemeinsamen elektrischen Daten der CMOS-Serie sind:

Absolute Grenzwerte: (bei $U_{SS} = \text{Masse} = 0$)

Max. Bereich der Betriebsspannung:	U_{DD}	=	-0.5 ... +18V
Max. Bereich der Eingangsspannung:	U_I	=	0.5 ... ($U_{DD}+0.5$)V
Max. Eingangsstrom:	I_I	=	10mA
Max. negativer Eingangsstrom:	$-I_I$	=	10mA
Max. Gesamtverlust-Leistung	P_{tot}	=	400mW
Max. Bereich der Umgebungs-Temperatur	T_U	=	-40 ... +85°C
Max. Bereich der Lager-Temperatur	T_S	=	-65 ... +150°C

Die gemeinsamen elektrischen Daten der HCMOS-Serie sind:

Absolute Grenzwerte:

Max. Bereich der Betriebsspannung:	U_{DD}	=	-0.5 ... +7.5V
Max. Eingangsspannung	U_I	=	0.5 ... ($U_{DD}+0.5$) V
Max. Ausgangsspannung	U_o	=	0.5 ... ($U_{DD}+0.5$) V
Max. Eingangsstrom	I_I	=	± 20 mA
Max. Ausgangsstrom			
Standard-Ausgänge	I_o	=	± 25 mA
Bustreiber-Ausgänge	I_o	=	± 35 mA
Max. Gesamtverlust-Leistung			
Plastik- und Keramik-DIL	P_{tot}	=	500mW
Plastik-Mini-Gehäuse (SO)	P_{tot}	=	200mW

Empfohlene Betriebswerte:

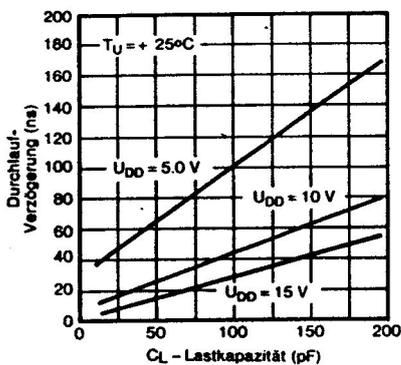
Betriebsspannungen: HC-Typen	U_{DD}	=	+2.0 ... +6.0V
HCT-Typen	U_{DD}	=	+5V ($\pm 10\%$)

Eingangs-Anstiegs- und Abfallzeiten
(außer für Schmitt-Trigger-Eingänge)

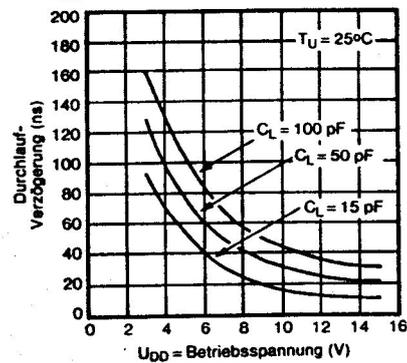
min:	t_r, t_f	=	6ns
max: $U_{DD} = 2.0V$	t_r, t_f	=	1000ns
$U_{DD} = 4.5V$	t_r, t_f	=	500ns
$U_{DD} = 6V$	t_r, t_f	=	400ns

Max. Bereich der Umgebungstemperatur	T_U	=	-40 ... +85°C
--------------------------------------	-------	---	---------------

Durchlauf - Verzögerung



Abhängigkeit der Durchlauf-Verzögerung von der Lastkapazität.



Abhängigkeit der Durchlauf-Verzögerung von der Betriebsspannung.

